

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-124144

(43)Date of publication of application : 28.04.2000

(51)Int.Cl.

H01L 21/223  
 H01L 21/762  
 H01L 21/8238  
 H01L 27/092  
 H01L 21/8242  
 H01L 27/108  
 H01L 21/8244  
 H01L 27/11  
 H01L 27/115  
 H01L 29/78  
 H01L 21/8247  
 H01L 29/788  
 H01L 29/792  
 // H01L 21/205  
 H01L 21/208

(21)Application number : 10-299934

(71)Applicant : HITACHI LTD  
 HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 21.10.1998

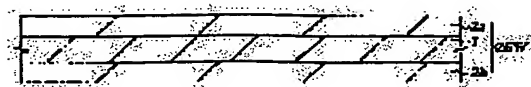
(72)Inventor : SATO TOMOMI  
 SHIMIZU HIROBUMI  
 KAWAMURA MASAO  
 AOYANAGI RYOICHI

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, SEMICONDUCTOR  
 WAFER AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device of high reliability and an epitaxial wafer of high quality and gettering capability at low cost.

SOLUTION: A CZ wafer 1 (impurity concentration = about  $5 \times 10^{18}$  atoms/cm<sup>3</sup>) is mounted on a boat, that is installed in an epitaxial growth oven to hold the entire circumference or a part of the peripheral part of the wafer 1, and after impurities are diffused outward into the wafer 1 through its surface and backside by pre-heating the wafer 1, a gas is exhausted from the epitaxial growth oven. Then, reaction gas is introduced into the epitaxial growth furnace, an epitaxial layer (impurity concentration = about  $1.4 \times 10^{15}$  atoms/cm<sup>3</sup>) 2a and a semiconductor layer 2b are grown on both sides of the CZ wafer 1 respectively at a temperature lower than the temperature of preheating by 50 to 100° C to form an epitaxial wafer 2EW.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124144

(P2000-124144A)

(43) 公開日 平成12年4月28日 (2000.4.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L	21/223	H 0 1 L 21/223	A 5 F 0 0 1
	21/762	21/205	5 F 0 3 2
	21/8238	21/208	P 5 F 0 4 0
	27/092	21/76	D 5 F 0 4 5
	21/8242	27/08	3 2 1 B 5 F 0 4 8
審査請求 未請求 請求項の数12 O L (全 15 頁) 最終頁に続く			

(21) 出願番号 特願平10-299934

(22) 出願日 平成10年10月21日 (1998. 10. 21)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 佐藤 友美

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

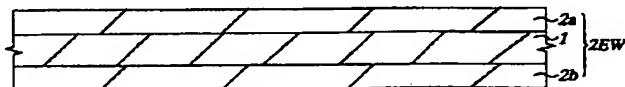
(54) 【発明の名称】 半導体集積回路装置の製造方法、ならびに半導体ウエハおよびその製造方法

## (57) 【要約】

【課題】 高信頼度の半導体集積回路装置を提供する。

【解決手段】 エピタキシャル成長炉に設置され、C Z ウエハの周辺全周または周辺の一部を保持するボートに C Z ウエハ (不純物濃度=約  $5 \times 10^{18} \text{ atoms/cm}^3$ ) 1 を置いて、C Z ウエハ 1 にプレヒートを施すことによって、C Z ウエハ 1 の表面および裏面近傍から不純物を外方拡散させた後、エピタキシャル成長炉内のガスを排気し、次いでエピタキシャル成長炉へ反応ガスを導入して、上記プレヒートの温度よりも  $50 \sim 100^\circ\text{C}$  程度低い温度で、C Z ウエハ 1 の両面にエピタキシャル層 (不純物濃度=約  $1.4 \times 10^{15} \text{ atoms/cm}^3$ ) 2 a および半導体層 2 b を成長させて、エピタキシャルウエハ 2 E W を形成する。

図 2



## 【特許請求の範囲】

【請求項 1】 (a). 所定の導電型の不純物を有し、互いに向向して第 1 主面および第 2 主面を備えた半導体基体に熱処理を施すことにより、前記半導体基体の表面の不純物濃度を前記半導体基体の内部の不純物濃度よりも低下させる工程と、前記半導体基体の少なくとも前記第 1 主面に、前記熱処理の温度よりも低い温度のエピタキシャル成長によって前記半導体基体の内部の不純物濃度よりも低濃度で前記所定の導電型の不純物と同一導電型の半導体層を形成する工程とを経たエピタキシャル半導体基体を準備する段階と、 (b). 前記エピタキシャル半導体基体の前記半導体層に、所定の不純物を選択的に導入することにより、素子形成のための半導体領域を形成する段階とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 (a). 所定の導電型の不純物を有し、互いに向向して第 1 主面および第 2 主面を備えた半導体基体に熱処理を施すことにより、前記半導体基体の表面の不純物濃度を前記半導体基体の内部の不純物濃度よりも低下させる工程と、 (b). 前記半導体基体の前記第 1 主面に、前記熱処理の温度よりも低い温度のエピタキシャル成長によって前記半導体基体の内部の不純物濃度よりも低濃度で前記所定の導電型の不純物と同一導電型の半導体層を形成し、さらに、前記半導体基板の前記第 2 主面に、多結晶半導体層を形成することにより、エピタキシャル半導体基体を形成する工程と、 (c). 前記エピタキシャル半導体基体の前記半導体層に、所定の不純物を選択的に導入することにより、素子形成のための半導体領域を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 チョクラルスキ法によって製造された単結晶シリコンウエハの表面および裏面にエピタキシャル層が形成されていることを特徴とする半導体ウエハ。

【請求項 4】 請求項 3 記載の半導体ウエハにおいて、前記単結晶シリコンウエハの主面が (100) 面であることを特徴とする半導体ウエハ。

【請求項 5】 請求項 3 記載の半導体ウエハにおいて、前記単結晶シリコンウエハの主面を (100) 面とし、その面内において [010] 方向のいずれか 1 つの軸から 35° の範囲内で、かつ 100 結晶軸から 2.5° ~ 15° の範囲内の結晶軸と直交するように傾斜させて成ることを特徴とする半導体ウエハ。

【請求項 6】 請求項 3 または 4 記載の半導体ウエハにおいて、前記単結晶シリコンウエハは、両面鏡面研磨ウエハであることを特徴とする半導体ウエハ。

【請求項 7】 (a). 所定の導電型の不純物を含し、互いに向向して第 1 主面および第 2 主面を備えた半導体基体に熱処理を施すことにより、前記半導体基体の表面の不純物濃度を前記半導体基体の内部の不純物濃度よりも低下させる工程と、 (b). 前記半導体基体の少なくとも前記第

1 主面に、前記熱処理の温度よりも低い温度のエピタキシャル成長によって前記半導体基体の内部の不純物濃度よりも低濃度で前記所定の導電型の不純物と同一導電型の半導体層を形成する工程とを有することを特徴とする半導体ウエハの製造方法。

【請求項 8】 単結晶シリコンのインゴットの引き上げ時に、所定の導電型の不純物が  $3 \times 10^{16} \text{ atoms/cm}^3$  以上、 $1 \times 10^{21} \text{ atoms/cm}^3$  未満の濃度範囲でドーピングされたインゴットを形成した後、前記インゴットをスライスして単結晶シリコンによって構成される半導体ウエハを形成し、次いで前記半導体ウエハの主面に前記所定の導電型の不純物と同一導電型の不純物が  $1 \times 10^{14} \text{ atoms/cm}^3$  以上、 $3 \times 10^{16} \text{ atoms/cm}^3$  未満の濃度範囲でドーピングされたエピタキシャル層を形成することを特徴とする半導体ウエハの製造方法。

【請求項 9】 単結晶シリコンウエハの主面にエピタキシャル層を成長させる半導体ウエハの製造方法であって、(a). エピタキシャル成長炉に設置され、前記単結晶シリコンウエハの周辺全周または周辺の一部を保持するボートに前記単結晶シリコンウエハを乗せて、前記単結晶シリコンウエハにプレヒートを施すことにより、前記単結晶シリコンウエハの表面および裏面から不純物を外方拡散させる工程と、(b). 前記エピタキシャル成長炉の内部のガスを排気する工程と、(c). 前記エピタキシャル成長炉へエピタキシャル層を成長させるための反応ガスを導入し、前記プレヒートの温度よりも低い温度で熱処理を施す工程とを有することを特徴とする半導体ウエハの製造方法。

【請求項 10】 単結晶シリコンウエハの主面にエピタキシャル層を成長させる半導体ウエハの製造方法であって、(a). エピタキシャル成長炉に設置され、前記単結晶シリコンウエハの周辺全周または周辺の一部を保持するボートに前記単結晶シリコンウエハを乗せて、前記単結晶シリコンウエハにプレヒートを施すことにより、前記単結晶シリコンウエハの表面および裏面から不純物を外方拡散させる工程と、(b). 前記エピタキシャル成長炉の内部のガスを排気する工程と、(c). 前記エピタキシャル成長炉へエピタキシャル層を成長させるための反応ガスを導入し、前記プレヒートの温度よりも低い温度で熱処理を施すことにより、前記単結晶シリコンウエハの表面に単結晶シリコン層を形成し、前記単結晶シリコンウエハの裏面に多結晶シリコン層を形成する工程とを有することを特徴とする半導体ウエハの製造方法。

【請求項 11】 単結晶シリコンウエハの主面にエピタキシャル層を成長させる半導体ウエハの製造方法であって、(a). エピタキシャル成長炉内に設置され、シリコンが堆積されているサセプト上に前記単結晶シリコンウエハを乗せて、前記単結晶シリコンウエハにプレヒートを施すことにより、前記単結晶シリコンウエハの裏面に前

記シリコンを転写させる工程と、(b).前記エピタキシャル成長炉の内部のガスを排気する工程と、(c).前記エピタキシャル成長炉へ反応ガスを導入して、前記単結晶シリコンウエハの表面にエピタキシャル層を形成する工程とを有することを特徴とする半導体ウエハの製造方法。

【請求項12】 請求項9、10または11記載の半導体ウエハの製造方法において、前記反応ガスは、 $\text{SiH}_4$ 、 $\text{SiHCl}_3$  または  $\text{SiH}_2\text{Cl}_2$  であることを特徴とする半導体ウエハの製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、半導体ウエハおよびその製造方法、ならびにそれを用いた半導体集積回路装置技術に関し、特に、単結晶シリコン(Si)ウエハの主面上に成長させたエピタキシャル層にMISFET(Metal Insulator Semiconductor FieldEffect Transistor)で構成された集積回路を形成する半導体集積回路装置に適用して有効な技術に関するものである。

##### 【0002】

【従来の技術】近年、集積回路をMISFETで構成するMISデバイスの分野においては、ゲート酸化膜の耐圧改善やpn接合のリーク電流低減を図るために、チョクラルスキ(CZ:Czochralski)法によって製造した単結晶シリコンウエハ(CZウエハ)の主面上にエピタキシャル層を成長させた半導体ウエハ(エピタキシャルウエハ)の導入が進められている。

【0003】通常、MISデバイス用のエピタキシャルウエハは、汚染不純物のゲッタリング能力の向上を目的として高濃度(例えば $3 \times 10^{16} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ )の不純物を添加した低抵抗(例えば0.01~0.02 $\Omega\text{cm}$ )のCZウエハを使用する。特に、ホウ素(B)を高濃度に添加したCZウエハ( $p^+$ CZウエハ)は、鉄(Fe)などの重金属に対するゲッタリング能力の向上に有効と考えられている。また、低抵抗のCZウエハ上にエピタキシャル層を成長させたエピタキシャルウエハ( $p/p^+$ エピタキシャルウエハ)を使用することは、MISデバイスの耐ラッチアップ特性や耐 $\alpha$ 線強度を改善する対策としても有効である。

【0004】なお、p型の低抵抗のCZウエハ上にp型のエピタキシャル層を形成した $p/p^+$ エピタキシャルウエハについては、応用物理学会、1991年8月10日発行「応用物理」第60巻、第8号、p762~p763および特開平1-260832号公報に記載がある。

【0005】ところが、不純物を高濃度に添加したCZウエハ上にエピタキシャル層を形成すると、エピタキシャル成長時(あるいは製造プロセス途中)の熱処理でCZウエハ中の不純物がその裏面から外方拡散(Out Diffusion)してエピタキシャル層の表面にドーピング(オートドーピング)するために、素子形成領域の不純物濃度プロファイルが変動してしきい値電圧( $V_{th}$ )がばら

つくなど、MISFETの特性が劣化するおそれがある。すなわち、高信頼度の半導体集積回路装置を得ることができない。

【0006】上記問題を回避するために、エピタキシャル層形成前にCZウエハの裏面(および側面)を酸化シリコン膜などの絶縁膜で覆って不純物の外方拡散を防止し、高品質で、しかもゲッタリング能力の高いエピタキシャル層を実現できる $p/p^+$ エピタキシャルウエハが考えられている。

##### 10 【0007】

【発明が解決しようとする課題】しかしながら、CZウエハの裏面(および側面)を絶縁膜で覆い不純物の外方拡散を防止する前記 $p/p^+$ エピタキシャルウエハは、最終仕上げの終わったCZウエハの全面に絶縁膜を形成する工程と、CZウエハの表面上の絶縁膜を除去する工程と、CZウエハの表面にエピタキシャル層を形成する工程とによって順次形成される。さらにこれらの工程に伴う洗浄工程が増えるため、 $p/p^+$ エピタキシャルウエハの製造コストが高くなり、結果的にこの $p/p^+$ エピタキシャルウエハに形成される半導体デバイス(MISFETで構成されたIC(Integrated Circuit))の製造コストが増加してしまう。

【0008】本発明の目的は、高信頼度の半導体集積回路装置を提供することにある。

【0009】本発明の他の目的は、高品質で、ゲッタリング能力の高いエピタキシャルウエハを低コストで提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

##### 【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】本発明の半導体集積回路装置の製造方法は、所定の導電型の不純物を有し、互いに対向して第1主面および第2主面を備えた半導体基体に熱処理を施すことにより、前記半導体基体の表面の不純物濃度を前記半導体基体の内部の不純物濃度よりも低下させる工程と、前記半導体基体の少なくとも前記第1主面に、前記熱処理の温度よりも低い温度のエピタキシャル成長によって前記半導体基体の内部の不純物濃度よりも低濃度で前記所定の導電型の不純物と同一導電型の半導体層を形成する工程とを経たエピタキシャル半導体基体を準備する段階と、前記エピタキシャル半導体基体の前記半導体層に、所定の不純物を選択的に導入することにより、素子形成のための半導体領域を形成する段階とを含むものである。

【0013】上記した手段によれば、不純物が高濃度に添加されたCZウエハにプレヒートを施して表面および

裏面近傍の不純物濃度を低下させた後、CZウエハの表面（半導体領域が形成されるべき表面）をエピタキシャル層で覆うことにより、エピタキシャル成長時あるいは製造プロセス途中の熱処理でCZウエハ中の不純物がその裏面から外方拡散してCZウエハの表面のエピタキシャル層にオートドーピングするのを防ぐことができるので、工程数を増加することなく、ゲッタリング能力が高く、素子形成領域の不純物濃度プロファイルの変動による素子特性の劣化を避けることができる高信頼度の半導体集積回路装置を形成することができる。

#### 【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0015】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0016】（実施の形態1）本発明の一実施の形態であるエピタキシャルウエハの製造方法を図1～図5を用いて説明する。

【0017】まず、図1(a)に示すように、CZ法を用いて単結晶シリコンのインゴット100を製造する。このインゴット100の引き上げ時にドーパントとして、例えばBを添加し、上記インゴット100の不純物(B)濃度を約 $5 \times 10^{18} \text{ atoms/cm}^3$ （比抵抗=約0.01～0.02 $\Omega\text{cm}$ ）とする。インゴット100の引き上げには、100結晶軸に対して傾斜角を持たない（傾斜角=0°）種結晶を使用してもよく、また（100）面内において[010]方向のいずれか1つの軸から35°の範囲内で、かつ100結晶軸から2.5°～15°の範囲内の結晶軸と直交するような傾斜角を有する種結晶を使用してもよい。後者の種結晶は、表面が結晶欠陥の少ないCZウエハを得るために使用される。

【0018】特に、傾斜角を有する種結晶により成長した円柱状のインゴットは、ウエハとして垂直にスライスした特に真円ウエハが得られる。このため、ウエハのハンドリング、搬送が容易となる。もちろん、このウエハには位置決め用のV状またはU状のノッチまたはオリエンテーションフラット（OF）が設けられる。

【0019】次に、同図(b)に示すように、インゴット100の一部を切断した後、同図(c)に示すように、インゴット100の外周研削加工およびオリエンテーションフラット（またはオリエンテーションノッチ）加工を行い、次いで、同図(d)に示すように、インゴット100を引き上げ方向に対して直交する面で薄くスライスしてシリコンウエハ（CZウエハ）1を作製する。

【0020】次に、チップング（かけ）を防止するために、CZウエハ1の外周部の面取り加工を行った後、厚さおよび平坦度を整えるためにCZウエハ1の両面をラ

ッピングし、次いで、同図(e)に示すように、このラッピングによって生じた機械歪みを除去するために、酸またはアルカリ液を用いてCZウエハ1の両面をウエットエッチングする。

【0021】次に、同図(f)に示すように、CZウエハ1の表面、または表面および裏面の両面を鏡面研磨加工することにより、（100）面を主面としたp型のCZウエハ1が得られる。なお、インゴット100の引き上げ時にドーパントとしてn型不純物（例えばリン(P)）を添加すれば、n型の単結晶CZウエハ1が得られる。この段階でのCZウエハ1の厚さは、例えば730～750 $\mu\text{m}$ である。

【0022】インゴット100の引き上げ時に、結晶軸と直交するような傾斜角を有する種結晶を使用した場合は、（100）面を主面とし、（100）面内において[010]方向のいずれか1つの軸から35°の範囲内で、かつ100結晶軸から2.5°～15°の範囲内の結晶軸と直交するような傾斜角を持つCZウエハ1が得られる。結晶軸と直交するような傾斜角を持つCZウエハ1の他の製造方法として、上記のような傾斜角を持たない（傾斜角=0°）種結晶を使用してインゴット100を作製した後、前記図1(d)の工程で前記のような傾斜角を持った（100）面が露出するようにインゴット100をスライスしてもよい。

【0023】次に、図1(g)および図2に示すように、上記CZウエハ1の両面にCZウエハ1と同じ導電型(p型)のエピタキシャル層2aおよび半導体層2bを約10 $\mu\text{m}$ 程度成長させてエピタキシャルウエハ(p/p'エピタキシャルウエハ)2EWを作製する。このエピタキシャル層2aおよび半導体層2bの成長時にドーパントとして、例えばBを添加する。上記エピタキシャル層2aおよび半導体層2bの不純物(B)濃度の具体的な値は、約 $1.4 \times 10^{15} \text{ atoms/cm}^3$ （比抵抗=約10 $\Omega\text{cm}$ ）に設定される。

【0024】この際、表面のみが鏡面研磨されたCZウエハ1では、その表面に形成されたエピタキシャル層2aは単結晶であるが、裏面に形成された半導体層2bは多結晶である。この場合、ゲッタリング効果が期待できる。一方、両面が鏡面研磨されたCZウエハで、かつ（100）を主面とし、軸傾斜を伴わないCZウエハ1では、その表面および裏面に形成されたエピタキシャル層2aおよび半導体層2bは単結晶である。この場合、エピタキシャル層2aおよび半導体層2bのいずれか一方に素子を形成することができ、素子形成に先立って、表裏管理が不要であることのメリットを有する。

【0025】上記エピタキシャル層2を形成するには、例えば、まずCZウエハ1をエピタキシャル成長炉（反応炉）に投入し、CZウエハ1に約1150℃の温度で熱処理（プレヒート）を施した後、上記プレヒート温度よりも50～100℃程度低い温度に設定し、次いで、

10

20

30

40

50

反応ガス、例えば $\text{SiH}_4$ 、 $\text{SiHCl}_3$  または $\text{SiH}_2\text{Cl}_2$  を反応炉に導入してエピタキシャル成長を行う。

【0026】上記プレヒートの目的は、CZウエハ1の全面の清浄以外に、CZウエハ1からBを外方拡散させて、CZウエハ1の表面および裏面近傍の不純物濃度を低下させることにある。このため、プレヒート後は、CZウエハ1から外方拡散したBによってエピタキシャル層2の不純物(B)濃度を制御することが難しくなるので、一旦反応炉内のガスを外へ排気(低圧)した後に、

反応ガスは反応炉へ導入される。

【0027】CZウエハ1、特に両面を鏡面研磨したCZウエハ1を反応炉へ搬送する際は、搬送系の治具がCZウエハ1の表面または裏面に接触するの最小限に抑えるために、CZウエハ1の周辺のみを支持する治具が用いられる。

【0028】図3に、CZウエハ1の周辺のみを支持する搬送系の治具の例を示す。図3(a)は搬送系の治具の上面図であり、図3(b)および(c)は搬送系の治具の側面図である。CZウエハ1の周囲を支持する搬送系の治具には、例えばCZウエハ1の周囲を溝で保持するもの(図3(b))、またはCZウエハ1の周囲を傾斜面で保持するもの(図3(c))が用いられる。

【0029】次に、プレヒートおよびエピタキシャル成長時にCZウエハ1を保持する第1のポートB1の上面図、および上記上面図のA-A'線における断面図を図4(a)、および同図(b)にそれぞれ示し、第2のポートB2の上面図を図5に示す。

【0030】図4に示すように、第1のポートB1はCZウエハ1の周辺全周を保持しており、CZウエハ1の自重によってCZウエハ1に発生する転位を抑えることができる。この第1のポートB1にCZウエハ1を乗せる場合は、一旦ピンなどでCZウエハ1を支えて搬送系を引き出した後、CZウエハ1を第1のポートB1に乗せ変える。一方、図5に示すように、第2のポートB2には搬送系が入る切れ込みが入っており、これによって、上記ピンを使用することなく搬送系から第2のポートB2に直接CZウエハ1を乗せ変えることができる。

【0031】また、エピタキシャル成長は、枚葉式反応炉またはバッチ式反応炉によって行われるが、CZウエハ1全面に供給される反応ガスの状態が均一となるように、反応炉のガス噴き出し口の位置および数は最適設計される。これによって、膜厚および不純物濃度分布が一定のエピタキシャル層2を形成することができる。

【0032】図6は、上記エピタキシャル層2aの主体面に相補型MISFET(CMOSFET)を形成した半導体集積回路装置の要部断面図である。

【0033】エピタキシャル層2aには、素子形成のための半導体領域、具体的にはn型ウエル3nとp型ウエル3pとが選択的に形成されている。特に限定はされな

いが、n型ウエル3nとp型ウエル3pのそれぞれは、CMOSFETのラッチアップ耐性を向上させるために、エピタキシャル層2aに形成された素子分離溝4を介して互いに分離されている。

【0034】エピタキシャル層2aに形成されたn型ウエル3nにはpチャネル型MISFETQpが形成され、p型ウエル3pにはnチャネル型MISFETQnが形成されている。pチャネル型MISFETQpは、主としてn型ウエル3nに形成された一対のp型半導体領域(ソース領域、ドレイン領域)6、6と、n型ウエル3nの表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極8とで構成されている。nチャネル型MISFETQnは、主としてp型ウエル3pに形成された一対のn型半導体領域(ソース領域、ドレイン領域)9、9と、p型ウエル3pの表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極8とで構成されている。ゲート電極8は、例えばn型多結晶シリコン膜上にタンゲステン(W)シリサイド膜を積層したポリサイド膜などで構成されている。ゲート電極8の上部には、例えば酸化シリコン膜10が形成され、側壁には酸化シリコン膜からなるサイドウォールスペーサ11が形成されている。酸化シリコン膜10およびサイドウォールスペーサ11は、ゲート電極8とその上層に形成された配線(13a~13d)とを電気的に分離する絶縁膜である。

【0035】pチャネル型MISFETQpとnチャネル型MISFETQnのそれぞれの上部には、酸化シリコン膜12を介して第1層目の配線13a~13dが形成されている。配線13aは、酸化シリコン膜12に開孔された接続孔14aを通じてpチャネル型MISFETQpの一方のp型半導体領域6と電気的に接続され、配線13bは、接続孔14bを通じてpチャネル型MISFETQpの他方のp型半導体領域6と電気的に接続されている。また、配線13cは、接続孔14cを通じてnチャネル型MISFETQnの一方のn型半導体領域9と電気的に接続され、配線13dは、接続孔14dを通じてnチャネル型MISFETQnの他方のn型半導体領域9と電気的に接続されている。配線13a~13dは、例えばSiとCuとが添加されたアルミニウム(Al)合金で構成されている。

【0036】第1層目の配線13a~13dの上部には、酸化シリコン膜などからなる層間絶縁膜15を介して第2層目の配線16a、16bが形成されている。配線16aは、層間絶縁膜15に開孔された接続孔17aを通じて第1層目の配線13bと電気的に接続され、配線16bは、接続孔17bを通じて第1層目の配線13cと電気的に接続されている。配線16a、16bは、例えばSiとCuとが添加されたAl合金で構成されている。

【0037】配線16a、16bの上部には、酸化シリ



コン膜と窒化シリコン膜との積層膜などで構成されたパッシベーション膜18が形成されている。

【0038】次に、上記した半導体集積回路装置の製造方法を図7～図15を用いて説明する。

【0039】まず、図7に示すように、p型の単結晶シリコンからなるCZウエハ1の表面および裏面にp型のエピタキシャル層2aおよび半導体層2bをそれぞれ形成したエピタキシャルウエハ(図2参照)2EWを用意する。CZウエハ1、エピタキシャル層2aおよび半導体層2bは、(100)面を主面とし、エピタキシャル層2aおよび半導体層2bの膜厚は、例えば $10\mu\text{m}$ であり、不純物(B)濃度は約 $1.4 \times 10^{15} \text{ atoms/cm}^3$ である。

【0040】次に、図8に示すように、エピタキシャル層2aの上部にCVD(Chemical Vapor Deposition)法で酸化シリコン膜22(膜厚=約40nm)と窒化シリコン膜23(膜厚=約50nm)とを順次堆積し、次いでフォトレジストをマスクにして窒化シリコン膜23をパターニングした後、窒化シリコン膜23をマスクにして酸化シリコン膜22とエピタキシャル層2aとを順次エッチングして溝4aを形成する。続いて900～1150℃の熱酸化処理を施して溝4aの内壁に酸化シリコン膜(図示せず)を形成する。

【0041】次に、図9に示すように、エピタキシャル層2aの上部にCVD法で酸化シリコン膜24を堆積し、約1000℃の熱処理を施して膜をデンシファイした後、エッチバックまたは化学的機械研磨で酸化シリコン膜24を平坦化し、溝4aの内部に残すことにより、素子分離溝4を形成する。

【0042】次に、図10に示すように、エピタキシャル層2aの表面の一部にn型不純物(例えばP)をイオン打ち込みし、他の一部にp型不純物(例えばB)をイオン打ち込みした後、不純物引き伸ばし用の熱処理を1200℃、数時間行って不純物をエピタキシャル層2aの内部に熱拡散させることにより、n型ウエル3nとp型ウエル3pとを形成する。n型ウエル3nおよびp型ウエル3pの不純物濃度は、例えば $6 \times 10^{16} \text{ atoms/cm}^3$ とする。

【0043】次に、図11に示すように、エピタキシャル層2aを熱酸化して活性領域の表面にゲート酸化膜7を形成した後、ゲート酸化膜7の上部にゲート電極8を形成する。ゲート酸化膜7は、OSF転位密度の低いエピタキシャル層2aの表面に形成されるので、膜の信頼性が高い。ゲート電極8は、このゲート酸化膜7を形成したエピタキシャル層2aの上部にCVD法でn型多結晶シリコン膜、Wシリサイド膜および酸化シリコン膜10を順次堆積し、フォトレジストをマスクにしたドライエッチングでこれらの膜をパターニングして形成する。ゲート電極8は、n型多結晶シリコン膜の上部にWシリサイド膜を積層したポリサイド膜などで構成されてい

る。ゲート電極8は、n型多結晶シリコンの単層膜またはn型多結晶シリコン膜、TiN(チタンナイトライド膜)、W膜を積層した3層膜などで構成してもよい。

【0044】次に、図12に示すように、ゲート電極8の両側のp型ウエル3pにn型不純物をイオン打ち込みしてn型半導体領域(ソース領域、ドレイン領域)9、9を形成し、n型ウエル3nにp型不純物をイオン打ち込みしてp型半導体領域(ソース領域、ドレイン領域)6、6を形成することにより、nチャネル型MISFETQnおよびpチャネル型MISFETQpを形成する。n型半導体領域9、9は、例えば $10^{15} \text{ atoms/cm}^2$ 程度のヒ素(As)をイオン打ち込みして形成し、p型半導体領域6、6は、例えば $10^{15} \text{ atoms/cm}^2$ 程度のフッ化ホウ素(BF<sub>2</sub>)をイオン打ち込みして形成する。その後、エピタキシャル層2aの上部にCVD法で堆積した酸化シリコン膜を異方性エッチングで加工してゲート電極8の側壁にサイドウォールスペーサ11を形成する。nチャネル型MISFETQnのソース、ドレインおよびpチャネル型MISFETQpのソース、ドレインは、二重拡散ドレイン(Double Diffused Drain)構造あるいはLDD(Lightly Doped Drain)構造で構成することもできる。

【0045】次に、図13に示すように、nチャネル型MISFETQnおよびpチャネル型MISFETQpを形成したエピタキシャル層2aの上部にCVD法で酸化シリコン膜12を堆積した後、フォトレジストをマスクにしたドライエッチングで酸化シリコン膜12の一部を開孔することにより、pチャネル型MISFETQpのp型半導体領域6、6の上部に接続孔14a、14bを形成し、nチャネル型MISFETQnのn型半導体領域9、9の上部に接続孔14c、14dを形成する。

【0046】次に、図14に示すように、接続孔14a～14dを形成した酸化シリコン膜12の上部に例えばスパッタリング法でAl合金膜を堆積した後、フォトレジストをマスクにしたドライエッチングでAl合金膜をパターニングすることにより、pチャネル型MISFETQpのp型半導体領域6、6と電氣的に接続された配線13a、13b、およびnチャネル型MISFETQnのn型半導体領域9、9と電氣的に接続された配線13c、13dを形成する。

【0047】次に、図15に示すように、配線13a～13dの上部にCVD法で酸化シリコン膜などを堆積して層間絶縁膜15を形成した後、フォトレジストをマスクにしたドライエッチングで層間絶縁膜15の一部を開孔することにより、配線13bの上部に接続孔17aを形成し、配線13cの上部に接続孔17bを形成する。続いて、層間絶縁膜15の上部に例えばスパッタリング法でAl合金膜を堆積した後、フォトレジストをマスクにしたドライエッチングでこのAl合金膜をパターニングすることにより、配線13bと電氣的に接続された配



線16a、および配線13cと電気的に接続された配線16bを形成する。

【0048】その後、配線16a、16bの上部にCVD法で酸化シリコン膜と窒化シリコン膜とを堆積してパッシベーション膜18を形成することにより、本実施の形態1の相補型MISFETを有する半導体集積回路装置が完成する。

【0049】この後、半導体ウエハから半導体チップ（ペレット）に分割（スクライブ）を行うに先立って、半導体ウエハの裏面を研削し、半導体チップを得るために適した厚さ（例えば、 $150\mu\text{m}$ ）の半導体ウエハを得る。この裏面研削により、半導体ウエハの裏面のエピタキシャル層（単結晶シリコン層）または多結晶シリコン層は除去される。

【0050】このように、本実施の形態1によれば、不純物が高濃度に添加されたCZウエハ1にプレヒートを施して表面および裏面近傍の不純物濃度を低下させた後、CZウエハ1の表面および裏面をエピタキシャル層2aおよび半導体層2bでそれぞれ覆うことにより、エピタキシャル成長時あるいは製造プロセス途中の熱処理でCZウエハ1中の不純物がその裏面から外方拡散してCZウエハ1の表面のエピタキシャル層2aにオートドーピングするのを防ぐことができるので、ゲッタリング能力が高く、素子形成領域の不純物濃度プロファイルの変動によるMISFETの特性劣化を防ぐことのできるエピタキシャルウエハ2EWを低コストで提供することができる。

【0051】また、本実施の形態1によれば、上記エピタキシャルウエハ2EWを安価に製造することができるので、相補型MISFETを有する半導体集積回路装置の製造コストを低減することができる。

【0052】なお、本実施の形態1では、エピタキシャルウエハ2EWを構成するCZウエハ1の不純物濃度を $5 \times 10^{18} \text{ atoms/cm}^3$ 、エピタキシャル層2の不純物濃度を $1.4 \times 10^{15} \text{ atoms/cm}^3$ としたが、CZウエハ1の不純物濃度は、ゲッタリング能力およびラッチアップ耐性を考慮して $3 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{21} \text{ atoms/cm}^3$ 未満の範囲に設定される。一方、エピタキシャル層2の不純物濃度は $1 \times 10^{14} \text{ atoms/cm}^3$ 以上、 $3 \times 10^{16} \text{ atoms/cm}^3$ 未満の範囲に設定される。

【0053】（実施の形態2）図16は、プレヒートおよびエピタキシャル成長時にCZウエハ1を保持するサセプタの側面図を示す。サセプタは高周波によって加熱され、CZウエハ1面内において良好な温度分布が得られる。

【0054】サセプタを用いたエピタキシャルウエハ2EWの製造方法は、まず、シリコン（Si）が堆積されたサセプタにCZウエハ1を乗せてプレヒート処理を施し、CZウエハ1の裏面にサセプタ上のSiを転写す

る。CZウエハ1の裏面に転写されたSiの厚さはプレヒート時間によって制御される。所望の厚さのSiをCZウエハ1の裏面に形成した後、反応炉へ反応ガスを導入してCZウエハ1の表面にエピタキシャル層2を形成する。なお、プレヒート中は反応炉の内部を排気してCZウエハ1の表面から外方拡散する不純物（B）の影響を抑える。

【0055】このように、本実施の形態2によれば、サセプタは高周波によって加熱されるので、CZウエハ1面内の温度分布が均一となり、エピタキシャル層2の厚さおよび抵抗の均一性が向上する。

【0056】（実施の形態3）図17は、本実施の形態3の半導体集積回路装置を示す要部断面図である。

【0057】本実施の形態3の半導体集積回路装置は、前記実施の形態1のエピタキシャルウエハ2EWの主体にDRAM（Dynamic Random Access Memory）を形成したものである。

【0058】エピタキシャル層2aに形成されたp型ウエル3pの一部には、DRAMのメモリセルを構成するnチャネル型のメモリセル選択用MISFETQsが形成されており、他の一部には周辺回路のnチャネル型MISFETQnが形成されている。また、エピタキシャル層2aに形成されたn型ウエル3nには周辺回路のpチャネル型MISFETQpが形成されている。メモリセル選択用MISFETQt、nチャネル型MISFETQnおよびpチャネル型MISFETQpは、エピタキシャル層2aの表面にLOCOS（Local Oxidation of Silicon）法で形成したフィールド酸化膜28によって互いに分離されている。

【0059】メモリセル選択用MISFETQtとnチャネル型MISFETQnは、主としてp型ウエル3pに形成された一対のn型半導体領域（ソース領域、ドレイン領域）9、9と、p型ウエル3pの表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極8とで構成されている。pチャネル型MISFETQpは、主としてn型ウエル3nに形成された一対のp型半導体領域（ソース領域、ドレイン領域）6、6と、n型ウエル3nの表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極8とで構成されている。ゲート電極8は、n型多結晶シリコン膜上にWシリサイド膜を積層したポリサイド膜などで構成されている。

【0060】メモリセル選択用MISFETQtの上部にはビット線BL1、BL2が形成されており、周辺回路のpチャネル型MISFETQpとnチャネル型MISFETQnのそれぞれの上には第1層目の配線13e、13fが形成されている。ビット線BL1、BL2の上部には下部電極25と容量絶縁膜26と上部電極27とからなる情報蓄積用容量素子Cが形成され、さらにその上部には、第2層目の配線16c～16fが形成さ

れている。

【0061】このように、本実施の形態3によれば、ゲート酸化膜7の耐圧および膜質、ならびにリフレッシュ特性を向上でき、かつゲッタリング能力の高いエピタキシャルウエハ2EWを使用することにより、DRAMの信頼性および製造歩留まりを向上させることができる。

【0062】また、本実施の形態3によれば、安価に製造されたエピタキシャルウエハ2EWにDRAMを製造することができるので、DRAMの製造コストを低減することができる。

【0063】(実施の形態4)図18は、本実施の形態4の半導体集積回路装置を示す要部断面図である。

【0064】本実施の形態4の半導体集積回路装置は、前記実施の形態1のエピタキシャルウエハ2EWの主面にフラッシュメモリを形成したものである。エピタキシャル層2aに形成されたp型ウエル3pの一部には、フラッシュメモリのメモリセルを構成するnチャネル型MISFETQmと転送用MISFETを構成するnチャネル型MISFETQtとが形成されており、他の一部には周辺回路のnチャネル型MISFETQnが形成されている。メモリセルはAND型で構成され、そのドレイン領域は、転送用MISFET(nチャネル型MISFETQtr)のソース、ドレインのパスを介してデータ線13iと電気的に接続されている。

【0065】また、エピタキシャル層2aに形成されたn型ウエル3nには周辺回路のpチャネル型MISFETQpが形成されている。nチャネル型MISFETQm、nチャネル型MISFETQnおよびpチャネル型MISFETQpは、エピタキシャル層2aの表面にLOCOS法で形成したフィールド酸化膜28によって互いに分離されている。

【0066】メモリセルのnチャネル型MISFETQmは、主としてp型ウエル3pに形成された一对のn型半導体領域(ソース領域、ドレイン領域)9、9と、p型ウエル3pの表面に形成されたゲート酸化膜7と、ゲート酸化膜7上に形成されたゲート電極(フローティングゲート)8と、ゲート電極8上に形成された第2ゲート酸化膜29と、第2ゲート酸化膜29上に形成されたコントロールゲート30とで構成されている。周辺回路のnチャネル型MISFETQnは、主としてp型ウエル3pに形成された一对のn型半導体領域9、9と、p型ウエル3pの表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極8とで構成されている。pチャネル型MISFETQpは、主としてn型ウエル3nに形成された一对のp型半導体領域(ソース領域、ドレイン領域)6、6と、n型ウエル3nの表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極8とで構成されている。

【0067】メモリセルのnチャネル型MISFETQ

mの上部には第1層目の配線13g~13iが形成されており、さらにその上部には、第2層目の配線16gが形成されている。周辺回路のpチャネル型MISFETQpとnチャネル型MISFETQnのそれぞれの上には第1層目の配線13jが形成されており、さらにその上部には、第2層目の配線16hが形成されている。

【0068】このように、本実施の形態4によれば、ゲート酸化膜7の耐圧および膜質を向上でき、かつゲッタリング能力の高いエピタキシャルウエハ2EWを使用することにより、フラッシュメモリの信頼性および製造歩留まりを向上させることができる。

【0069】また、本実施の形態4によれば、安価に製造されたエピタキシャルウエハ2EWにフラッシュメモリを製造することができるので、フラッシュメモリの製造コストを低減することができる。

【0070】(実施の形態5)図19は、本実施の形態5の半導体集積回路装置を示す要部断面図である。

【0071】本実施の形態5の半導体集積回路装置は、前記実施の形態1のエピタキシャルウエハ2EWの主面にSRAM(Static Random Access Memory)を形成したものである。このSRAMのメモリセルは、エピタキシャル層2aの主面のフィールド絶縁膜28で周囲を囲まれた活性領域に形成されている。メモリセルを構成する6個のMISFETのうち、nチャネル型で構成される一对の駆動用MISFETと一对の転送用MISFETはp型ウエル3pの活性領域に形成され、pチャネル型で構成される一对の負荷用MISFETは駆動用MISFETの上部に形成されている。

【0072】一对の転送用MISFETは、p型ウエル3nの活性領域に形成されたn'型半導体領域38およびn-型半導体領域(ソース領域、ドレイン領域)45と、この活性領域の表面に形成された酸化シリコン膜からなるゲート酸化膜41と、このゲート酸化膜41上に形成されたポリサイドからなるゲート電極42とで構成されている。転送用MISFETのゲート電極42は、ワード線WLと一体に構成されている。

【0073】一对の駆動用MISFETは、p型ウエル3nの活性領域に形成されたn'型半導体領域38およびn-型半導体領域(ソース領域、ドレイン領域)37と、この活性領域の表面に形成されたゲート酸化膜35と、このゲート酸化膜35上に形成された多結晶シリコンからなるゲート電極36とで構成されている。

【0074】一对の負荷用MISFETは、駆動用MISFETの上部に形成された多結晶シリコンからなるゲート電極47と、ゲート電極47の上部に形成されたゲート酸化膜46と、ゲート酸化膜46のさらに上部に形成された多結晶シリコンからなるp型半導体領域(ソース領域、ドレイン領域)48とで構成されている。

【0075】なお、符号34はp型のチャネルストップパ層、Vccは電源線、VssはGND線、DLはデータ

線、49～51は第1層目のメタル配線である。

【0076】このように、本実施の形態5によれば、ゲート酸化膜35、41の耐圧および膜質を向上でき、かつゲッタリング能力の高いエピタキシャルウエハ2EWを使用することにより、SRAMのデータリテンション不良を低減して信頼性および製造歩留まりを向上させることができる。

【0077】本実施の形態5によれば、安価に製造されたエピタキシャルウエハ2EWにSRAMを製造することができるので、SRAMの製造コストを低減すること  
10 ができる。

【0078】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0079】例えば、前記実施の形態では、CZウエハの不純物濃度が $5 \times 10^{18} \text{ atoms/cm}^3$ 、エピタキシャル層の不純物濃度が $1.4 \times 10^{15} \text{ atoms/cm}^3$ で、その厚さが約 $10 \mu\text{m}$ のp/p'エピタキシャルウエハに適用したが、CZウエハおよびエピタキシャル層の不純物濃度が $10^{15} \text{ atoms/cm}^3$ オーダ程度で、エピタキシャル層の厚さが $4 \mu\text{m}$ 以下のp/pエピタキシャルウエハに適用可能であり、同様な効果が得られる。

#### 【0080】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0081】本発明によれば、高信頼度の半導体集積回路装置を提供することができ、さらに、高品質で、ゲッタリング能力の高いエピタキシャルウエハを低コストで提供することができる。

#### 【図面の簡単な説明】

【図1】(a)～(g)は、本発明の実施の形態1であるCZウエハの製造方法を示す説明図である。

【図2】本発明の実施の形態1であるエピタキシャルウエハの要部断面図である。

【図3】本発明の実施の形態1であるエピタキシャル成長炉の搬送系の上面図および側面図である。

【図4】本発明の実施の形態1であるエピタキシャル成長炉の第1のボートの上面図および側面図である。

【図5】本発明の実施の形態1であるエピタキシャル成長炉の第2のボートの上面図である。

【図6】本発明の実施の形態1である相補型MISFETを形成した半導体集積回路装置の要部断面図である。

【図7】本発明の実施の形態1である相補型MISFETを形成した半導体集積回路装置の製造方法を示す要部断面図である。

【図8】本発明の実施の形態1である相補型MISFETを形成した半導体集積回路装置の製造方法を示す要部  
50

断面図である。

【図9】本発明の実施の形態1である相補型MISFETを形成した半導体集積回路装置の製造方法を示す要部断面図である。

【図10】本発明の実施の形態1である相補型MISFETを形成した半導体集積回路装置の製造方法を示す要部断面図である。

【図11】本発明の実施の形態1である相補型MISFETを形成した半導体集積回路装置の製造方法を示す要部断面図である。

【図12】本発明の実施の形態1である相補型MISFETを形成した半導体集積回路装置の製造方法を示す要部断面図である。

【図13】本発明の実施の形態1である相補型MISFETを形成した半導体集積回路装置の製造方法を示す要部断面図である。

【図14】本発明の実施の形態1である相補型MISFETを形成した半導体集積回路装置の製造方法を示す要部断面図である。

【図15】本発明の実施の形態1である相補型MISFETを形成した半導体集積回路装置の製造方法を示す要部断面図である。

【図16】本発明の実施の形態2であるエピタキシャル成長炉のサセプタの側面図である。

【図17】本発明の実施の形態3であるDRAMを形成した半導体集積回路装置を示す要部断面図である。

【図18】本発明の実施の形態4であるフラッシュメモリを形成した半導体集積回路装置を示す要部断面図である。

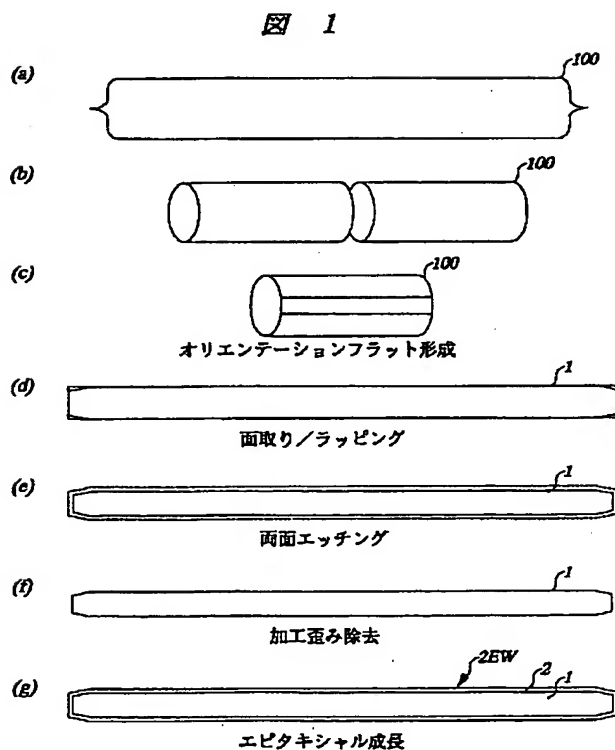
【図19】本発明の実施の形態5であるSRAMを形成した半導体集積回路装置を示す要部断面図である。

#### 【符号の説明】

- 1 シリコンウエハ (CZウエハ)
- 2 エピタキシャル層
- 2EW エピタキシャルウエハ
- 2a エピタキシャル層
- 2b 半導体層
- 3n n型ウエル
- 3p p型ウエル
- 4 素子分離溝
- 4a 溝
- 6 p型半導体領域 (ソース領域、ドレイン領域)
- 7 ゲート酸化膜
- 8 ゲート電極
- 9 n型半導体領域 (ソース領域、ドレイン領域)
- 10 酸化シリコン膜
- 11 サイドウォールスペーサ
- 12 酸化シリコン膜
- 13a～13j 配線
- 14a～14d 接続孔

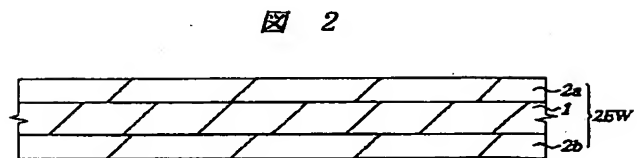
- 15 層間絶縁膜
- 16 a~16 h 配線
- 17 a 接続孔
- 17 b 接続孔
- 18 パッシベーション膜
- 20 酸化シリコン膜
- 21 酸化シリコン膜
- 22 酸化シリコン膜
- 23 窒化シリコン膜
- 24 酸化シリコン膜
- 25 下部電極
- 26 容量絶縁膜
- 27 上部電極
- 28 フィールド酸化膜
- 29 第2ゲート酸化膜
- 30 コントロールゲート
- 34 チャネルストッパ層
- 35 ゲート酸化膜
- 36 ゲート電極
- 37 n<sup>-</sup>型半導体領域
- 38 n<sup>+</sup>型半導体領域

【図1】



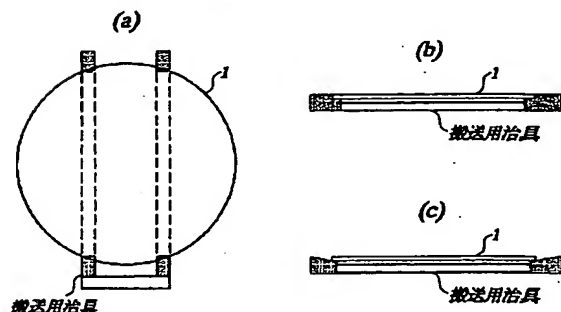
- 41 ゲート酸化膜
- 42 ゲート電極
- 45 n<sup>-</sup>型半導体領域
- 46 ゲート酸化膜
- 47 ゲート電極
- 48 p型半導体領域
- 49~51 メタル配線
- 100 インゴット
- B1 第1のポート
- 10 B2 第2のポート
- BL1、BL2 ビット線
- DL データ線
- C 情報蓄積用容量素子
- Qm nチャネル型MISFET
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET
- Qs メモリセル選択用MISFET
- Qt 転送用MISFET
- Vcc 電源線
- 20 Vss GND
- WL ワード線

【図2】



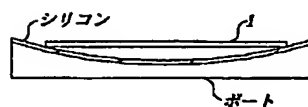
【図3】

図 3



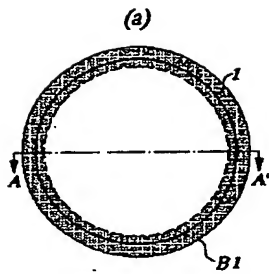
【図16】

図 16



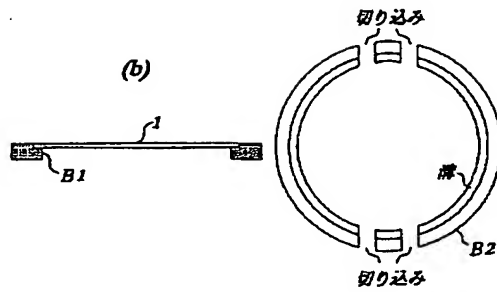
【図4】

図 4



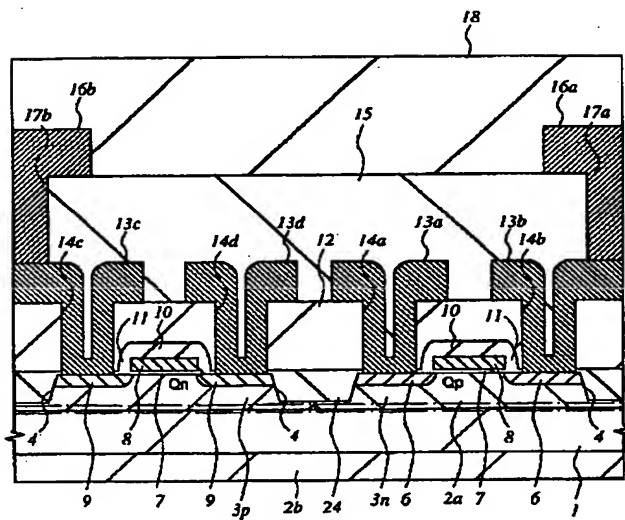
【図5】

図 5



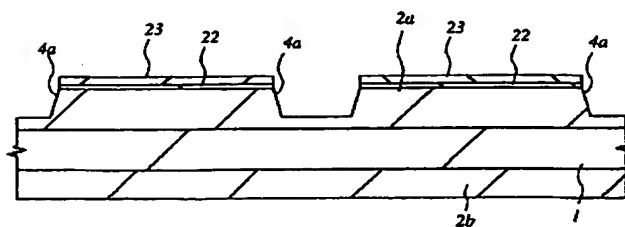
【図6】

図 6



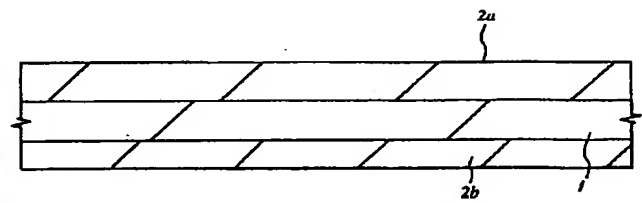
【図8】

図 8



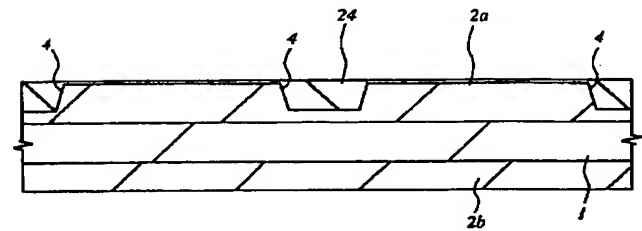
【図7】

図 7



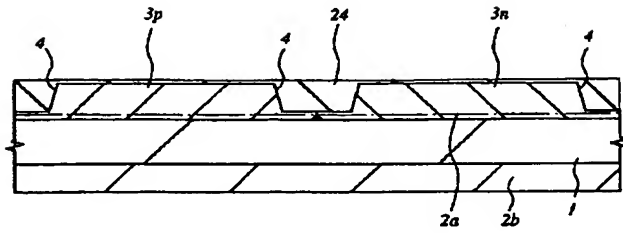
【図9】

図 9



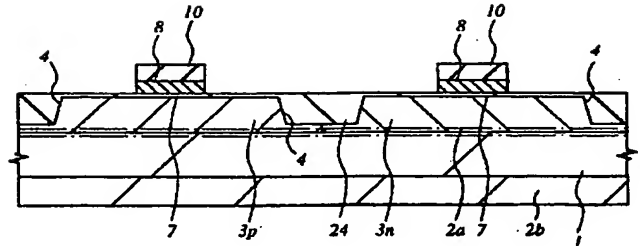
【図10】

図 10



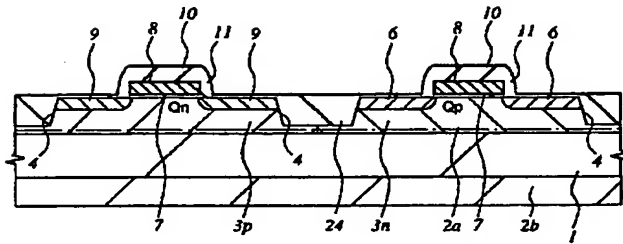
【図11】

図 11



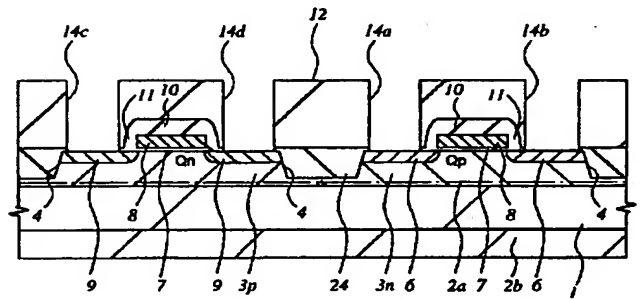
【図12】

図 12



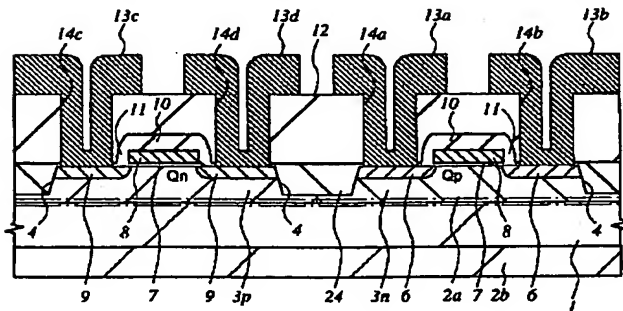
【図13】

図 13



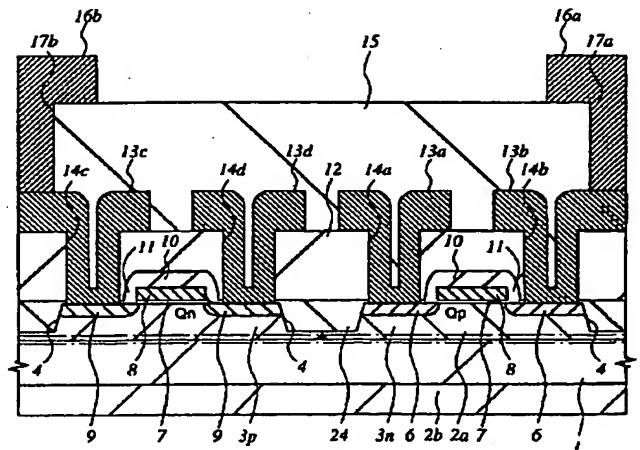
【図14】

図 14



【図15】

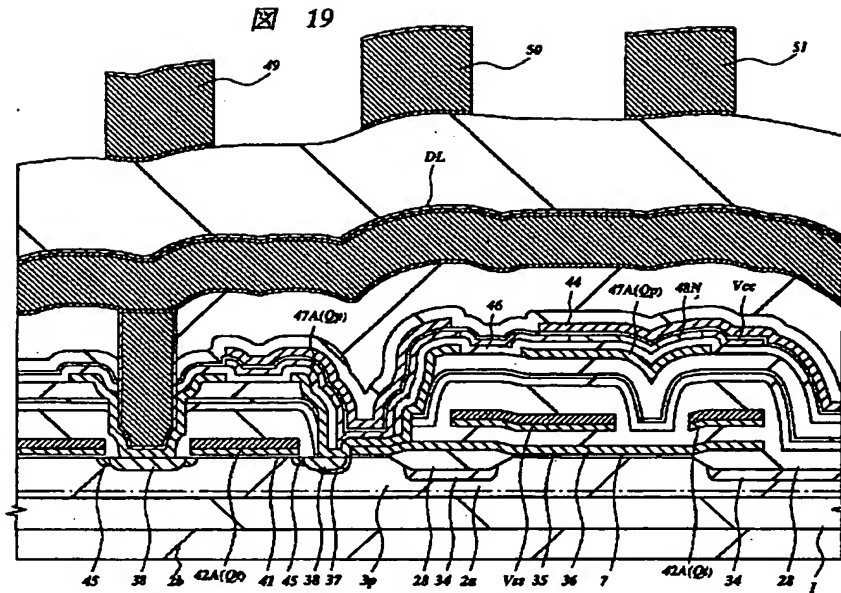
図 15







【図19】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)	
H 0 1 L 27/108		H 0 1 L 27/10	3 2 1	5 F 0 5 3
21/8244			3 8 1	5 F 0 8 3
27/11			4 3 4	
27/115		29/78	3 0 1 Q	
29/78			3 7 1	
21/8247				
29/788				
29/792				
// H 0 1 L 21/205				
21/208				

- (72)発明者 清水 博文  
 東京都小平市上水本町五丁目20番1号 株  
 式会社日立製作所半導体事業本部内
- (72)発明者 川村 雅雄  
 東京都青梅市新町六丁目16番地の3 株式  
 会社日立製作所デバイス開発センタ内
- (72)発明者 青柳 良一  
 東京都小平市上水本町五丁目20番1号 株  
 式会社日立製作所半導体事業本部内

Fターム(参考) 5F001 AA25 AB08 AD12 AD41 AD53  
AD62 AF06 AF07 AG40  
5F032 AA13 AA35 AA44 AA45 AA77  
AA78 CA17 CA23 DA02 DA22  
DA33 DA53  
5F040 DA06 DA27 DB03 DC01 EA08  
EA09 EC01 EC02 EC07 EC13  
EF02 EK05 FC05 FC07 FC10  
5F045 AB02 AB03 AC01 AC05 AD14  
AD15 AF03 AF16 BB08 CA05  
5F048 AA03 AA06 AA07 AA09 AB01  
AC03 BA02 BA04 BA06 BB05  
BB08 BB09 BC06 BE03 BF02  
BG01 BG14  
5F053 AA12 DD01 GG01 JJ01 KK10  
PP03 PP12 RR04 RR13  
5F083 AD21 BS01 BS13 BS29 BS40  
EP02 EP23 EP79 ER22 GA11  
GA21 GA23 GA24 GA28 GA30  
HA07 JA35 JA39 JA53 NA02  
PR25 PR36 ZA01